



KY-189

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

S. ABE et al

Serial No. 10/614,104

Art Unit: 2673

Filed: July 8, 2003

Examiner:

For: DISPLAY ELEMENT DRIVE CIRCUIT AND DISPLAY DEVICE

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified priority document (JP 2002-203896) of a corresponding Japanese patent application for the purpose of claiming foreign priority under 35 U.S.C. § 119. An indication that this document has been safely received would be appreciated.

Respectfully submitted,

John R. Mattingly  
Registration No. 30,293  
Attorney for Applicant(s)

MATTINGLY, STANGER, MALUR & BRUNDIDGE, P.C.  
1800 Diagonal Rd., Suite 370  
Alexandria, Virginia 22314  
(703) 684-1120  
Date: March 11, 2005

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月12日

出願番号

Application Number:

特願2002-203896

[ST.10/C]:

[JP2002-203896]

出願人

Applicant(s):

ローム株式会社

App. No. 10/614,104

**MATTINGLY, STANGER  
MALUR & BRUNDIDGE, P.C.**

1800 DIAGONAL ROAD, SUITE 370  
ALEXANDRIA, VA 22314

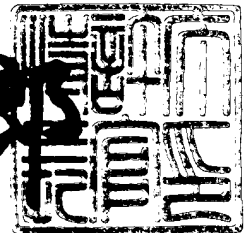
703-684-1120

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

2003年 6月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050074

【書類名】 特許願

【整理番号】 PR02-0107

【提出日】 平成14年 7月12日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H05B 33/26

【発明者】

    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

    【氏名】 阿部 真一

【発明者】

    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

    【氏名】 藤沢 雅憲

【特許出願人】

    【識別番号】 000116024

    【氏名又は名称】 ローム株式会社

    【代表者】 佐藤 研一郎

【代理人】

    【識別番号】 100079555

    【弁理士】

    【氏名又は名称】 梶山 侑是

    【電話番号】 03-5330-4649

【選任した代理人】

    【識別番号】 100079957

    【弁理士】

    【氏名又は名称】 山本 富士男

    【電話番号】 03-5330-4649

【手数料の表示】

    【予納台帳番号】 061207

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711313

【プルーフの要否】 要

【書類名】 明 細 書

【発明の名称】 表示素子駆動回路および表示装置

【特許請求の範囲】

【請求項 1】

出力段に C M O S 回路を有し、複数の表示素子が接続されたラインをこの C M O S 回路が駆動する表示素子駆動回路において、

前記 C M O S 回路は、Pチャネルの第 1 のトランジスタと Nチャネルの第 2 のトランジスタとを有し、これら第 1 および第 2 のトランジスタを駆動する駆動回路が前記第 1 のトランジスタのゲート入力容量を利用する第 1 の時定数と前記第 2 のトランジスタのゲート入力容量を利用する第 2 の時定数を有する時定数回路を備え、前記駆動回路が L o w レベルの信号を受けたときに前記第 2 トランジスタを O F F してから前記第 1 のトランジスタ O N するように前記第 2 の時定数に対して前記第 1 の時定数あるいは前記第 1 の時定数に対して前記第 2 の時定数が選択されている表示素子駆動回路。

【請求項 2】

さらに、前記時定数回路は、前記駆動回路が H i g h レベルの信号を受けたときに前記第 1 トランジスタを O F F させてから前記第 2 のトランジスタ O N させる第 3 および第 4 の時定数を有する請求項 1 記載の表示素子駆動回路。

【請求項 3】

前記表示素子は、有機 E L 素子であって、前記表示素子が接続されたラインは、前記有機 E L 素子の陰極側の端子が接続されるラインである請求項 2 記載の表示素子駆動回路。

【請求項 4】

前記駆動回路は、電源ラインとグランド間にソースドレインが直列に接続された 2 個の Pチャネルトランジスタと 1 個の Nチャネルトランジスタとを有し、前記 Pチャネルトランジスタの前記電源ラインに接続されていない側のトランジスタに並列に抵抗が接続され、前記時定数回路は、前記 2 個の Pチャネルトランジスタの O N 抵抗と前記 Nチャネルトランジスタの O N 抵抗と前記抵抗の抵抗値と前記第 1 および第 2 のトランジスタのそれぞれのゲート入力容量とにより形成

され、前記Pチャネルトランジスタと前記Nチャネルトランジスタとが選択的にON/OFFすることにより前記第1から第4の時定数が得られる請求項3記載の表示素子駆動回路。

【請求項5】

出力段にCMOS回路を有し、複数の表示素子が接続されたラインをこのCMOS回路が駆動する表示素子駆動回路を有する表示装置において、

前記CMOS回路は、Pチャネルの第1のトランジスタとNチャネルの第2のトランジスタとを有し、これら第1および第2のトランジスタを駆動する駆動回路が前記第1のトランジスタのゲート入力容量を利用する第1の時定数と前記第2のトランジスタのゲート入力容量を利用する第2の時定数を有する時定数回路を備え、前記駆動回路がLowレベルの信号を受けたときに前記第2トランジスタをOFFしてから前記第1のトランジスタONするように前記第2の時定数に対して前記第1の時定数あるいは前記第1の時定数に対して前記第2の時定数が選択されている表示装置。

【請求項6】

さらに、前記時定数回路は、前記駆動回路がHighレベルの信号を受けたときに前記第1トランジスタをOFFさせてから前記第2のトランジスタONさせる第3および第4の時定数を有する請求項5記載の表示装置。

【請求項7】

前記表示素子は、有機EL素子であって、前記表示素子が接続されたラインは、前記有機EL素子の陰極側の端子が接続されるラインである請求項6記載の表示装置。

【請求項8】

前記駆動回路は、電源ラインとグランド間にソースドレインが直列に接続された2個のPチャネルトランジスタと1個のNチャネルトランジスタとを有し、前記Pチャネルトランジスタの前記電源ラインに接続されていない側のトランジスタに並列に抵抗が接続され、前記時定数回路は、前記2個のPチャネルトランジスタのON抵抗と前記NチャネルトランジスタのON抵抗と前記抵抗の抵抗値と前記第1および第2のトランジスタのそれぞれのゲート入力容量とにより形成

され、前記Pチャネルトランジスタと前記Nチャネルトランジスタとが選択的にON/OFFすることにより前記第1から第4の時定数が得られる請求項7記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、表示素子駆動回路および表示装置に関し、詳しくは、有機EL素子を電流駆動する電流駆動回路のCMOS出力段の貫通電流を抑制して消費電力を低減することができるような有機EL駆動回路および有機EL表示装置の改良に関する。

【0002】

【従来の技術】

有機EL表示装置は、自発光による高輝度表示が可能であることから、小画面での表示に適し、携帯電話機、DVDプレーヤ、PDA（携帯端末装置）等に搭載される次世代表示装置として現在注目されている。この有機EL表示装置には、液晶表示装置のように電圧駆動を行うと、輝度ばらつきが大きくなり、かつ、R（赤）、G（緑）、B（青）に感度差があることから制御が難しくなる問題点がある。

そこで、最近では、電流駆動のドライバを用いた有機EL表示装置が提案されている。例えば、特開平10-112391号などでは、電流駆動により輝度ばらつきの問題を解決する技術が記載されている。

【0003】

携帯電話機用の有機EL表示装置の有機EL表示パネルでは、カラムラインの数が396個（132×3）の端子ピン（以下ピン）、ローラインが162個のピンを持つものが提案され、カラムライン、ローラインのピンはこれ以上に増加する傾向にある。

このような有機EL表示パネルの電流駆動回路の出力段は、アクティブマトリックス型でも単純マトリックス型のものでもピン対応に電流源の駆動回路、例えば、カレントミラー回路による出力回路が設けられている。そのドライブ段は、

例えば、特願 2 0 0 1 - 8 6 9 6 7 号に示されるようにピン対応に多数の出力側トランジスタを有するパラレル駆動のカレントミラー回路として、手前の入力段となる基準電流発生回路から基準電流を受けてピン対応に多数のミラー電流を発生する。あるいはこのミラー電流を  $k$  倍 ( $k$  は 2 以上の整数) の電流に増幅して前記出力回路を駆動する。そして、その  $k$  倍電流増幅回路としてはピン対応に  $D/A$  変換回路を設けて構成し、この  $D/A$  変換回路がカラム側のピン対応に表示データを受けてこの表示データをピン対応に  $A/D$  変換することで表示輝度に対応した  $k$  倍増幅した駆動電流を生成する。このときに  $k$  倍増幅した駆動電流は 1 ライン分生成される。

#### 【 0 0 0 4 】

ところで、有機 EL 表示装置では、カラム側 (有機 EL 素子の陽極側) の 1 ラインが電流吐出し側となり、ロー側 (有機 EL 素子の陰極側) の 1 ラインが電流吸い込み側 (シンク側) となって、ロー側の走査に応じてカラム側の電流駆動回路から駆動電流が有機 EL 素子 (以下 EL 素子) の陽極側に出力される。EL 素子の陰極側は、CMOS のプッシュプル回路を介してグランド GND に接続され、前記の駆動電流をグランドへとシンクする。

EL 素子は、容量性の素子であるので、このとき、駆動電流の一部を残留電荷として蓄積する。そのためマトリックス状に EL 素子を配置する表示装置にあっては、走査対象となっていない周囲の EL 素子からの電荷が流れ込み、誤発光する問題がある。そのため、次に説明するように、走査対象となっていない EL 素子は、逆バイアスにされて走査対象となっている EL 素子への電荷の流入が防止される。

#### 【 0 0 0 5 】

図 4 は、一般的な有機 EL 表示パネルの概要を示す説明図である。1 は、マトリックス状に配置された EL 素子 4 を有する有機 EL 表示パネル、2 は、カラム側の電流駆動回路、3 は、ロー側の駆動回路、4 は、EL 素子であって、説明の都合上、コンデンサとして示してある。また、ロー側の駆動回路 3 の CMOS のプッシュプル回路はスイッチとして示してある。

有機 EL 表示パネル 1 にあっては、EL 素子 4 の接合容量で決定された一定期



間だけ E L 素子 4 を駆動時点であらかじめ充電し、E L 素子 4 の輝度を向上させ、輝度むらなどを防止しているが、そのために駆動する前にスイッチ回路 S W を一定期間 O N にして E L 素子 4 の電荷を放電してリセットする。このリセットは、ロー側の駆動回路 3 のロー側の走査対象なるラインが L o w レベル（以下“L”）になった初期の一定期間、スイッチ回路 S W を O N にしてカラム側の電流駆動回路 2 の出力が接続される陽極側ライン（カラムライン）X1, X2, X3…をグランド G N D へと落とすことで行われる。これにより E L 素子 4 の残留電荷が放電され、その後にカラム側の電流駆動回路 2 の出力電流が E L 素子 4 に加えられることになる。また、ロー側の駆動回路 3 において走査対象以外の E L 素子 4 を逆バイアスしておかないと、走査対象の E L 素子 4 に流れ込む駆動電流が周囲の E L 素子 4 に流れ込み、誤発光の原因になる。そのため、走査対象以外の陰極側ライン（ローライン）Y1, Y2, Y3…は、H i g h レベル（以下“H”）に固定される。

【 0 0 0 6 】

【発明が解決しようとする課題】

ロー側の駆動回路 3 の C M O S のプッシュプル回路は、図 5 に示すように、垂直方向の走査に応じて発生する“L”，“H”の 0 V，3 V 程度の電圧の論理信号をレベルシフタ 5 がゲート回路等（図示せず）を介して受ける。ここで、それが 0 V，2 0 V 程度の高い電圧の論理信号にレベルシフトされる。レベルシフトされた“H”，“L”の論理信号は、出力回路 6 の入力段のインバータ 7 に入力される。そして、このインバータ 7 を介して高い電源ライン 9（+ V c c）の電圧（= 2 0 V）で動作する C M O S 出力段 8 が駆動される。なお、8 a は、C M O S 出力段 8 の出力端子であり、ロー側の走査ライン Y i に接続されている。

この場合、上流側の P チャネルトランジスタ T r 1 は、有機 E L 素子 4 を逆バイアスするので、その O N 抵抗は、数百  $\Omega$  程度と高く、ゲートソース間の寄生容量 C 1 は小さい。

このゲートソース間の寄生容量あるいはゲートサブストレート間の寄生容量はゲート入力容量として大きく影響する。そこで、以下では、ゲート入力容量としてこのゲートソース間の寄生容量を代表して取り上げて説明する。

一方、下流側のNチャネルのトランジスタ $T_{r2}$ は、ローラインに多数接続された有機EL素子4から駆動電流を受けるので、その面積サイズが大きく、そのON抵抗は数 $\Omega$ と小さい。その分、ゲートソース間の寄生容量 $C_2$ も大きくなる。

下流側のトランジスタ $T_{r2}$ がこのような大きな寄生容量 $C_2$ を持つと、このトランジスタ $T_{r2}$ がONからOFFへと移行する場合の過渡特性は、緩やかになり、上流側のトランジスタ $T_{r1}$ がONしたときに電源ライン9からトランジスタ $T_{r1}$ 、OFFするトランジスタ $T_{r2}$ を通して貫通電流がグランドGNDへと流れる問題がある。

このときの電源ライン9の電源電圧は、20V程度と高いので数十mAという大きな電流が流れ、それが消費電力の増加につながり、ドライバICを破壊する危険性もある。

トランジスタ $T_{r1}$ とトランジスタ $T_{r2}$ とのサイズ比（ゲート、ソースの面積比）が大きく相違するロー側の駆動回路3では、トランジスタ $T_{r2}$ の寄生容量 $C_2$ が大きいので、抵抗等やバイパス回路を設ける一般的な貫通電流対策では効果が薄い。

この発明の目的は、このような従来技術の問題点を解決するものであって、電流駆動回路のCMOS出力段の貫通電流を抑制して消費電力を低減することができる表示素子駆動回路および表示装置を提供することにある。

【0007】

【課題を解決するための手段】

このような目的を達成するためのこの発明の表示素子駆動回路および表示装置の特徴は、出力段にCMOS回路を有し、複数の表示素子が接続されたラインをこのCMOS回路が駆動する表示素子駆動回路において、

CMOS回路がPチャネルの第1のトランジスタとNチャネルの第2のトランジスタとを有し、これら第1および第2のトランジスタを駆動する駆動回路が第1のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用する第1の時定数と第2のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用する第2の時定数を有する時定数回路を備えていて、駆動回路がL

○w ンベルの信号を受けたときに第 2 トランジスタを OFF してから第 1 のトランジスタ ON するように第 2 の時定数に対して第 1 の時定数あるいは第 1 の時定数に対して第 2 の時定数が選択されているものである。

なお、第 1 および第 2 のトランジスタの動作においてその ON/OFF は、それぞれのトランジスタのゲート閾値との関係において決定される。

#### 【0008】

##### 【発明の実施の形態】

このように、この発明にあっては、第 1 および第 2 のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用して、CMOS 回路を駆動する駆動回路が“L”の信号を受けて CMOS 回路の出力に“H”の出力を発生する場合に、第 1 および第 2 の時定数を有する時定数回路を介して第 1 および第 2 のトランジスタを駆動することにより第 2 トランジスタを OFF させてから第 1 のトランジスタ ON させることができる。これにより、“H”出力の際に CMOS 回路において電源側からグランド GND 側に貫通電流が流れるのを阻止することができる。

なお、前記の時定数回路にさらに第 3、第 4 の時定数も設けて CMOS 回路を駆動する駆動回路が“H”の信号を受けて CMOS 回路の出力に“L”の出力を発生する場合にも、この第 3、第 4 の時定数に応じて第 1 および第 2 のトランジスタを駆動して、第 1 トランジスタを OFF させてから第 2 のトランジスタ ON させるようにすることができる。このときにも CMOS 回路において電源側からグランド GND 側に貫通電流が流れるのを阻止することができる。

その結果、特に、CMOS 回路から“H”を出力する駆動時にこの貫通電流が流れない分、消費電力を低減することができる表示素子駆動回路および表示装置を容易に実現できる。

#### 【0009】

##### 【実施例】

図 1 は、この発明の EL 駆動回路を適用した一実施例のロー側の走査回路の電流駆動回路を中心とするブロック図、図 2 は、時間差駆動回路の CMOS 出力段の駆動動作の説明図、図 3 は、電流駆動回路の他の実施例のブロック図である。

なお、図 4，図 5 における構成要素と同一の構成要素は同一の符号で示し、それらの説明を割愛する。

図 1 において、10 は、ロー側走査回路であって、シフトレジスタ 11 と、このシフトレジスタ 11 の各段からの出力を受けて動作する電流駆動回路 12，12，…とから構成されている。

シフトレジスタ 11 は、コントローラ 15 に制御され、垂直走査のための 1 ビットのデータを受ける。各電流駆動回路 12，12，…は、ロー側のライン Y1，Y2，…に対応してライン数分、設けられていて、これら電流駆動回路 12，12，…により対応するロー側のライン Y1，Y2，…Yi，Yi-1…が電流駆動される。なお、図 1 では、ロー側のライン Yi，Yi-1 に接続される電流駆動回路 12 のみ図示してある。

【0010】

電流駆動回路 12 は、コントローラ 13 から放電パルス信号 Pd を受け、さらにシフトレジスタ 11 の出力を受けるゲート回路 121 と、このゲート回路 121 の“H”，“L”の出力をレベルシフトするレベルシフタ 122、そしてレベルシフタ 122 から“H”，“L”の信号を受ける出力回路 123 とからなる。

出力回路 123 は、入力段に時間差駆動回路（時定数回路）124 と、この時間差駆動回路 124 により駆動される CMOS 出力段 125 とからなり、時間差駆動回路 124 の駆動により CMOS 出力段 125 の下流側のトランジスタ Tr2 の OFF 駆動と上流側のトランジスタ Tr1 の ON 駆動とに時間差を発生させる。これにより電流駆動回路 12 が“H”を出力する際に貫通電流がグランド GND へと流れるのを阻止する。

なお、レベルシフタ 122 は、図 5 のレベルシフタ 5 に対応する回路であり、CMOS 出力段 125 は、図 5 の CMOS 出力段 8 に対応する回路である。そして、125a は、CMOS 出力段 125 の出力端子であり、出力端子 8a に対応している。

時間差駆動回路 124 は、出力端子 125a に“H”出力を発生するときには、出力端子 125a の出力が“L”から“H”に変化するときにはトランジスタ Tr1，Tr2 を異なる時定数の回路を介して駆動することで、トランジスタ Tr2

をOFFさせてからトランジスタTr1をONさせる駆動信号を出力する。

逆に、出力端子125aに“L”出力を発生するときには、出力端子125aの出力が“H”から“L”に変化するときにはトランジスタTr1、Tr2を異なる時定数の回路を介して駆動することで、これらトランジスタのON/OFFに時間差を持たせ、トランジスタTr1をOFFさせてからトランジスタTr2をONさせる駆動信号を出力する。

#### 【0011】

図2は、この時間差駆動回路124の駆動動作の説明図である。

トランジスタTr1がON/OFFするゲートの閾値電圧 $V_{TH1}$ を0.85Vとし、トランジスタTr2がON/OFFするゲートの閾値電圧 $V_{TH2}$ を0.60Vとした場合に、ゲート入力電圧が“H”から“L”に変化するときのトランジスタTr1側の時定数をトランジスタTr2に対して1.8倍～2.0倍程度に採ると、トランジスタTr1、Tr2のON/OFFの時間差として、図2に示すように、 $\mu\text{sec}$ オーダの時間差Tを持たせることができる。なお、図2中、グラフAは、トランジスタTr1のゲートを駆動する信号の電圧波形であり、グラフBは、トランジスタTr2のゲートを駆動する信号の電圧波形である。

その具体的な回路として時間差駆動回路124は、電源ライン9とグランドGNDとの間に順次にソースドレイン側が直列に接続されたPチャネルのトランジスタTr3、Tr4とNチャネルのトランジスタTr5とを有し、トランジスタTr4のソースドレイン間に抵抗Rが接続されている回路である。トランジスタTr3のソースは電源ライン9に接続され、そして、トランジスタTr5のソースはグランドGNDに接続されている。

ここで、トランジスタTr3のON抵抗をR3、トランジスタTr4のON抵抗をR4、トランジスタTr5のON抵抗をR5とし、トランジスタTr1のゲートソース間の寄生容量をC1、トランジスタTr2のゲートソース間の寄生容量を $C2=KC1$ とする。ただし、所定のKは定数である。

#### 【0012】

レベルシフタ122がシフトレジスタ11の出力に応じて矩形波の“H”、“L”の信号を発生するとすれば、この矩形波が時間差駆動回路124の異なる時

定数の回路を介してトランジスタ  $T_{r1}$ ,  $T_{r2}$  のゲートに供給される。このことで、それぞれのトランジスタの ON/OFF するタイミングがずれる。この場合の時定数は、トランジスタ  $T_{r1}$ ,  $T_{r2}$  のゲートソース間の寄生容量  $C1$ ,  $C2$  ( $=KC1$ ) とこれらのゲートに接続される抵抗値で決定される。

そこで、時間差駆動回路 124 が前記したような時間差のある駆動信号を発生するためには、抵抗  $R$  の抵抗値  $R$  は次の条件となる。

出力端子 125a の出力端子 125a に “H” を出力するとき、言い換えれば、出力端子 125a の出力が “H” から “L” に変わるのとき、

$$18 \times C1 \times R1 < KC1 \times (R3 + R4) \dots\dots ①$$

出力端子 125a の出力端子 125a に “L” を出力するとき、言い換えれば、出力端子 125a 出力端子 125a の出力が “L” から “H” に変わるのとき、

$$C1 \times (R5 + R) > 18 \times KC1 \times R5 \dots\dots ②$$

ただし、ここでは、トランジスタ  $T_{r2}$  の駆動波形についての時定数をトランジスタ  $T_{r1}$  の駆動波形についての時定数に対して 18 倍として動作時間差  $T$  を設定した場合である。

【0013】

具体的に説明すると、

(1) 出力が “H” から “L” に変わるときには、トランジスタ  $T_{r1}$  が OFF してトランジスタ  $T_{r2}$  が ON する。これは、レベルシフタ 122 の出力が “H” から “L” に変わり、トランジスタ  $T_{r3}$ ,  $T_{r4}$  が ON して、トランジスタ  $T_{r5}$  が OFF になるときである。このとき、トランジスタ  $T_{r1}$  のゲートは、抵抗  $R1$  と寄生容量  $C1$  の時定数回路を介して “H” の駆動信号を時間差駆動回路 124 から受けてトランジスタ  $T_{r1}$  が OFF に駆動される。このとき、トランジスタ  $T_{r2}$  のゲートは、ON 抵抗  $R3$  とトランジスタ  $T_{r4}$  の ON 抵抗  $R4$  の和の抵抗値と寄生容量  $C2$  ( $=KC1$ ) の時定数回路を介して “H” の駆動信号を時間差駆動回路 124 から受けてトランジスタ  $T_{r2}$  が ON に駆動される。ただし、 $R4 < R$  として抵抗の並列計算を無視する。

そこで、①式のようにこれらの間に 18 倍の時定数差を設けることで、トラン

ジスタ  $T_{r1}$  を先に OFF させてから トランジスタ  $T_{r2}$  を ON させることができる。

#### 【 0 0 1 4 】

(2) 出力が “L” から “H” に変わるときには、トランジスタ  $T_{r2}$  が OFF して トランジスタ  $T_{r1}$  が ON する。これは、レベルシフタ 1 2 2 の出力が “L” から “H” に変わり、トランジスタ  $T_{r3}$ ,  $T_{r4}$  が OFF して、トランジスタ  $T_{r5}$  が ON になるときである。このとき、トランジスタ  $T_{r1}$  のゲートは、抵抗  $R$  と トランジスタ  $T_{r5}$  の ON 抵抗  $R_5$  の和の抵抗値と寄生容量  $C_1$  の時定数回路を介して “L” の駆動信号を時間差駆動回路 1 2 4 から受けて トランジスタ  $T_{r1}$  が ON に駆動される。このとき、トランジスタ  $T_{r2}$  のゲートは、トランジスタ  $T_{r5}$  の ON 抵抗  $R_5$  の抵抗値と寄生容量  $C_2 (= K C_1)$  の時定数回路を介して “L” の駆動信号を時間差駆動回路 1 2 4 から受けて トランジスタ  $T_{r2}$  が OFF に駆動される。

そこで、②式のようにこれらの間に 1 8 倍の時定数差を設けることで、トランジスタ  $T_{r2}$  を先に OFF させてから トランジスタ  $T_{r1}$  を ON させることができる。なお、ここで、時定数の倍数である 1 8 の値は、現在ある CMOS 出力段 1 2 5 についてシミュレーションした値であって、この値は 1 5 倍～2 2 倍程度が好ましい。

#### 【 0 0 1 5 】

ここで、①式、②式を変形すると、

①式より、

$$R_4 > (K - 18) \times R_3 / K \quad \dots\dots ③$$

②式より、

$$R > (18K - 1) \times R_5 \quad \dots\dots ④$$

となる。

そこで、これらを満足するように、 $R$ ,  $R_3$ ,  $R_4$ ,  $R_5$  の各抵抗値を設定することが必要である。ここで、前記の時定数の倍数を 1 5 倍～2 2 倍程度とすると、通常の CMOS 出力段 1 2 5 の駆動回路として P チャネルトランジスタの ON 抵抗  $R_3$ ,  $R_4$  は、5 0 0  $\Omega$  ～1 k  $\Omega$  程度であり、N チャネルトランジスタの ON

抵抗R5は、 $100\Omega \sim 250\Omega$ 程度であるので、抵抗Rの抵抗値は、概算で $50k\Omega \sim 500k\Omega$ の範囲のものが選択できる。

【0016】

図3は、さらに他の電流駆動回路12bの実施例である。

この実施例では、図1の時間差駆動回路124のトランジスタTr4をNチャネルのトランジスタTr7に置き換えた時間差駆動回路124bを有している。

図3のトランジスタTr7は、図1のトランジスタTr4とはON/OFF動作が逆になるので、トランジスタTr1のゲートソース間の寄生容量C1がトランジスタTr2のゲートソース間の寄生容量C2より大きいときに有効な回路になる。

その動作説明は割愛する。

【0017】

以上説明してきたが、実施例では、CMOS回路を駆動する時間差駆動回路124が“H”の信号を受けてCMOS出力段125の出力に“L”の出力を発生する場合と時間差駆動回路124が“L”の信号を受けてCMOS出力段125の出力に“H”の出力を発生する場合とについて説明しているが、この発明は、貫通電流が大きい後者の“H”の出力を発生する場合のみ時間差で駆動するだけであってもよい。

また、実施例では、MOSトランジスタを主体として構成しているが、バイポーラトランジスタを主体として構成してもよいことはもちろんである。また、実施例のNチャンネル型トランジスタ（あるいはnpn型）は、Pチャンネル型（あるいはpnp型）トランジスタに、Pチャンネル型（あるいはpnp型）トランジスタは、Nチャンネル（あるいはnpn型）トランジスタに置き換えることができる。この場合には、電源電圧は負となり、上流に設けたトランジスタは下流に設けることになる。

【0018】

【発明の効果】

以上説明してきたように、この発明にあつては、第1および第2のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用して、CMOS回路



を駆動する駆動回路が“L”の信号を受けてCMOS回路の出力に“H”の出力を発生する場合に、第1および第2の時定数を有する時定数回路を介して第1および第2のトランジスタを駆動することにより第2トランジスタをOFFさせてから第1のトランジスタONさせることができる。これにより、“H”出力の際にCMOS回路において電源側からグランドGND側に貫通電流が流れるのを阻止することができる。

その結果、CMOS回路から“H”を出力する駆動時にこの貫通電流が流れない分、消費電力を低減することができる表示素子駆動回路および表示装置を容易に実現できる。

【図面の簡単な説明】

【図1】

図1は、この発明のEL駆動回路を適用した一実施例のロー側のシフトレジスタの電流駆動回路を中心とするブロック図である。

【図2】

図2は、時間差駆動回路のCMOS出力段の駆動動作の説明図である。

【図3】

図3は、電流駆動回路の他の実施例のブロック図である。

【図4】

図4は、一般的な有機EL表示パネルの概要を示す説明図である。

【図5】

図5は、図4におけるロー側の電流駆動回路の一例のブロック図である。

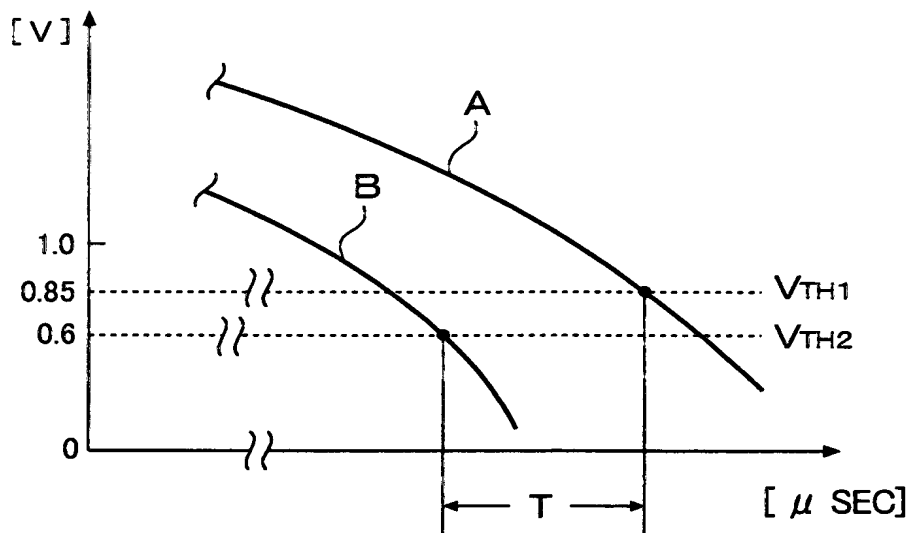
【符号の説明】

- 1…有機EL表示パネル、2…カラム側の電流駆動回路、
- 3…ロー側の駆動回路、4…EL素子、
- 5, 122…レベルシフタ、6, 123…出力回路、7…インバータ、
- 8, 125…CMOS出力段、8a, 125a…出力端子、9…電源ライン、
- 10…ロー側の走査回路、11…シフトレジスタ、12…電流駆動回路、
- 13…コントローラ、121…ゲート回路、
- 124…時間差駆動回路、

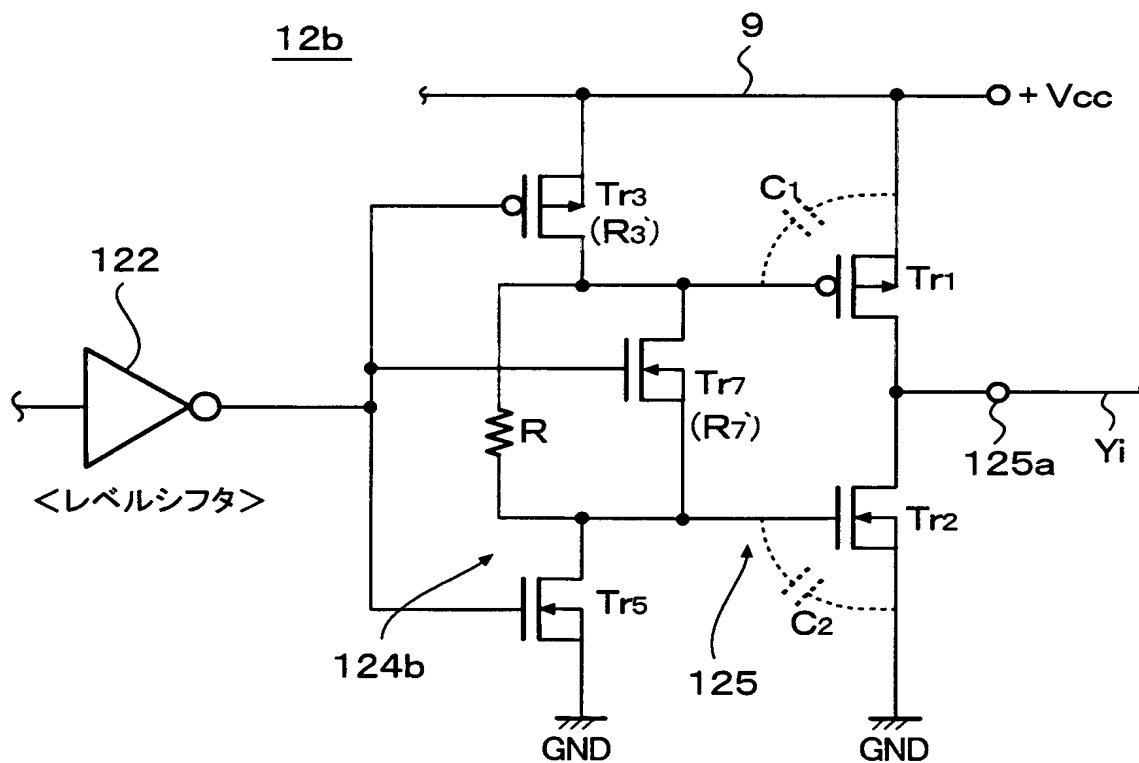
Tr1～Tr7…MOS トランジスタ。



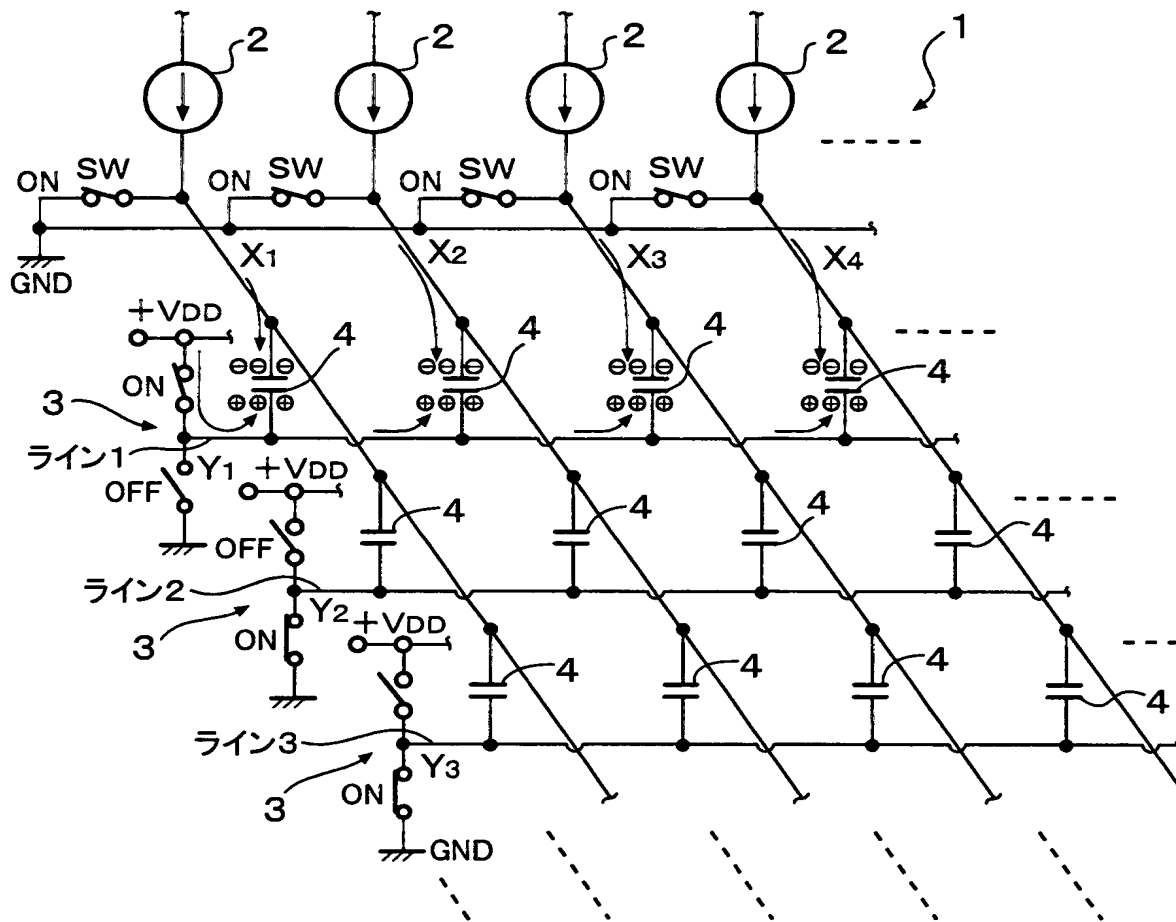
【図 2】



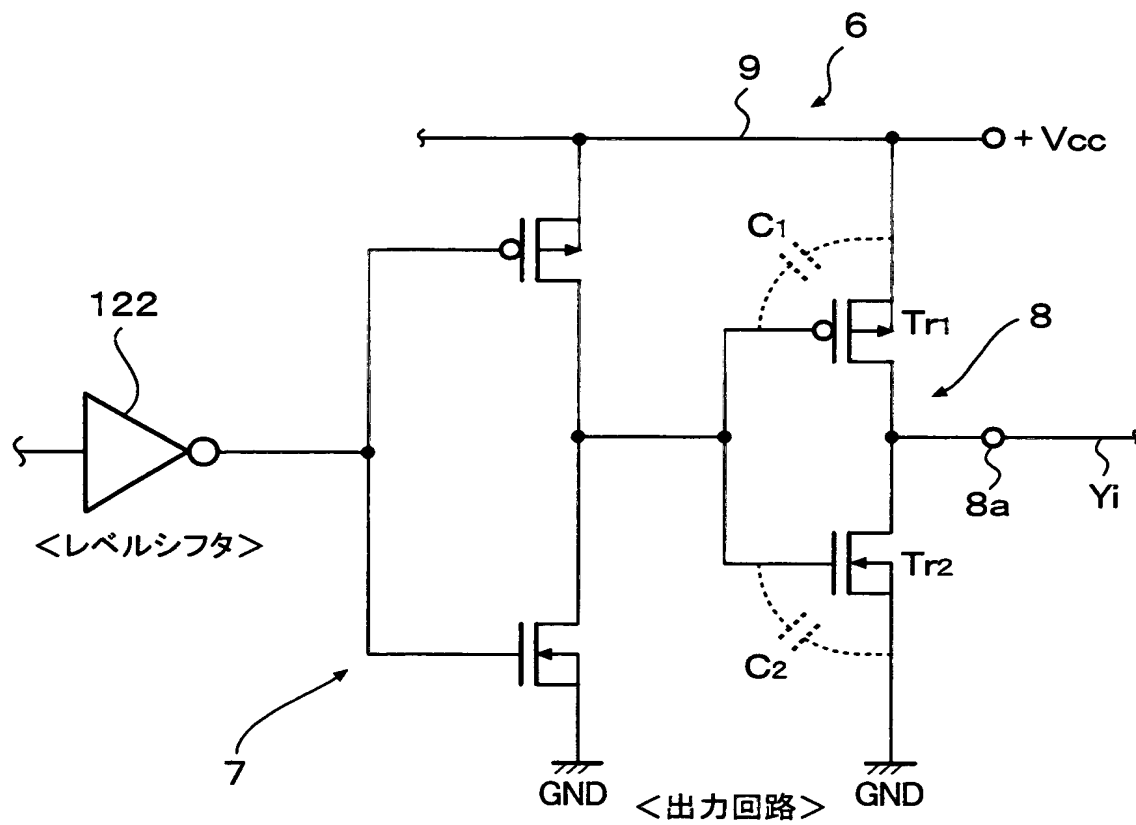
【図 3】



【図4】



【図 5】



【書類名】 要 約 書

【要約】

【課題】

電流駆動回路のCMOS出力段の貫通電流を抑制して消費電力を低減することができる表示素子駆動回路および表示装置を提供することにある。

【解決手段】

この発明は、CMOS回路がPチャネルの第1のトランジスタとNチャネルの第2のトランジスタとを有し、これら第1および第2のトランジスタを駆動する駆動回路が第1のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用する第1の時定数と第2のトランジスタのゲート入力容量（ゲートソース間の寄生容量）を利用する第2の時定数を有する時定数回路を備えていて、駆動回路がLowレベルの信号を受けたときに第2トランジスタをOFFしてから第1のトランジスタONするように第2の時定数に対して第1の時定数あるいは第1の時定数に対して第2の時定数が選択されているものである。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 京都府京都市右京区西院溝崎町21番地  
氏 名 口一ム株式会社